

DERWENT-ACC-NO: 1998-368020

DERWENT-WEEK: 199833

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Booster circuit for semiconductor device - has
charging clamp unit which clamps capacitor potential to
hold bootstrap potential to prevent over-rising
pressure

PATENT-ASSIGNEE: RICOH KK[RICO]

PRIORITY-DATA: 1996JP-0298938 (November 11, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 10144080 A	May 29, 1998	N/A
G11C 011/413		011

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 10144080A	N/A	1996JP-0298938
November 11, 1996		

INT-CL (IPC): G11C011/407, G11C011/413 , G11C016/06 , H01L021/822 ,
H01L027/04 , H02M003/07

ABSTRACTED-PUB-NO: JP 10144080A

BASIC-ABSTRACT:

The circuit (10) has multiple transistors (Tr1-Trn) for precharging are connected between node point of booster module. The potential of a capacitor (Q3) activates each of the transistor for precharging. A charging clamp unit (20) clamps capacitor potential to hold the bootstrap potential so as to prevent over-rising pressure.

ADVANTAGE - Prevents overload of power supply. Reduces power consumption.
Performs effective booster operation.

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: BOOST CIRCUIT SEMICONDUCTOR DEVICE CHARGE CLAMP UNIT CLAMP
CAPACITOR POTENTIAL HOLD BOOTSTRAP POTENTIAL PREVENT RISE
PRESSURE

DERWENT-CLASS: U14 U24

EPI-CODES: U14-A07B; U14-A08; U24-D02A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-287997

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平10-144080

(43)公開日 平成10年(1998)5月29日

(51) Int.Cl.⁸

識別記号

FI

G 1 1 C 11/413

11/407

16/06

H01L 27/04

21/822

G 1 1 C 11/34

H0 2M 3/07

G 1 1 C 11/34

17/00

3 3 5 A

354D

3 5 4 F

6.3.2.A

審査請求 未請求 請求項の数13 OL (全 11 頁) 最終頁に続く

(21)出願番号 特願平8-298938

(22)出願日 平成8年(1996)11月11日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 究明者 藤原 秀雄

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

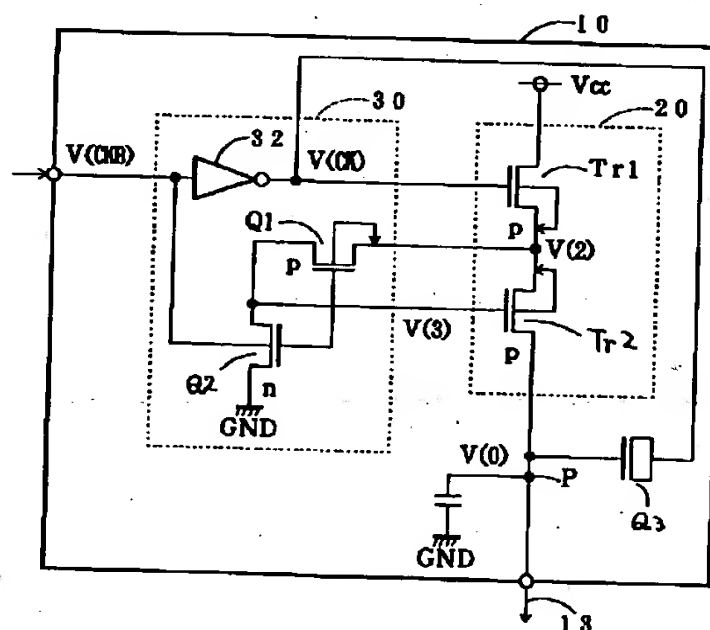
(74)代理人 弁理士 瀧野 秀雄 (外1名)

(54) 【発明の名称】 昇圧回路及びその昇圧制御方法

(57) 【要約】

【課題】 非昇圧期間のアリチャージ動作中にMOSキャパシタQ3に電源電位を供給して低電圧においても十分な昇圧を可能とし、更に、昇圧期間中に過昇圧に起因するデバイスの破壊を防ぐ昇圧回路10及びその昇圧制御方法を提供することを課題としている。

【解決手段】 電源とノードPの間に直列に接続された複数段のプリチャージ用トランジスタを有し、昇圧期間に、電源に接続された初段プリチャージ用トランジスタ T_{r1} を不活性化すると共に、プリチャージ用トランジスタ T_{r1} , ..., T_{rn} の各々を活性化してブートストラップ電位に最終段のプリチャージ用トランジスタ T_{rn} に接続されたキャパシタQ3の電位をクランプし、また、非昇圧期間に、全てのプリチャージ用トランジスタを活性化してキャパシタQ3の電位を電源電位 V_{cc} にプリチャージするように構成されている充電クランプ手段20を設ける。



【特許請求の範囲】

【請求項1】 回路網内のノードの電位を電源電位以上のブートストラップ電位に昇圧するための昇圧回路において、

非昇圧期間に、前記ノードに接続されたキャパシタの電位を電源電位にプリチャージすると共に、昇圧期間に、前記キャパシタ電位を昇圧すると共に、当該キャパシタ電位が前記ブートストラップ電位に達した際に当該キャパシタ電位をクランプして前記ブートストラップ電位に保持して過昇圧を防止する充電クランプ手段を有する、

【請求項2】 前記充電クランプ手段は、電源と前記ノードの間に直列に接続された複数段のプリチャージ用トランジスタを有し、前記昇圧期間に、プリチャージ用トランジスタに所定の電位を入力し、プリチャージ用トランジスタの各々のしきい値電圧と前記電源電位との和で決定される前記ブートストラップ電位に最終段のプリチャージ用トランジスタに接続された前記キャパシタの電位をクランプするように構成されている、

【請求項3】 前記充電クランプ手段は、前記非昇圧期間に、全てのプリチャージ用トランジスタを活性化して前記キャパシタの電位を電源電位にプリチャージするように構成されている、

ことを特徴とする請求項2記載の昇圧回路。

【請求項4】 前記プリチャージ用トランジスタはPchトランジスタであって、

前記充電クランプ手段は、前記昇圧期間に、プリチャージ用トランジスタに所定の電位を入力し、プリチャージ用Pchトランジスタの各々のしきい値電圧と前記電源電位との和で決定される前記ブートストラップ電位に最終段のプリチャージ用Pchトランジスタに接続された前記キャパシタの電位をクランプするように構成されている、

ことを特徴とする請求項3記載の昇圧回路。

【請求項5】 前記充電クランプ手段は、前記非昇圧期間に、全てのプリチャージ用Pchトランジスタを活性化して前記キャパシタの電位を電源電位にプリチャージするように構成されている、

ことを特徴とする請求項4記載の昇圧回路。

【請求項6】 前記充電クランプ手段は、前記昇圧期間に、前記プリチャージ用トランジスタに所定の電位を入力し、プリチャージ用Pchトランジスタの各々のゲートに所定の電位を各々入力して活性化し、前記ブートストラップ電位に前記キャパシタの電位をクランプするように構成されている、

ことを特徴とする請求項5記載の昇圧回路。

【請求項7】 前記充電クランプ手段は、前記非昇圧期間に、全てのプリチャージ用Pchトランジスタのゲートに所定の電位を入力して活性化して前記キャパシタの

電位を電源電位にプリチャージするように構成されている、

ことを特徴とする請求項6記載の昇圧回路。

【請求項8】 上記最終段プリチャージ用トランジスタと接地電位との間に直列接続された駆動用Pchトランジスタ及び駆動用Nchトランジスタを有し、当該駆動用Pchトランジスタと当該駆動用Nchトランジスタとの接続点が当該最終段プリチャージ用トランジスタのゲートに接続されて成る駆動手段を有する、

ことを特徴とする請求項1乃至7のいずれか一項に記載の昇圧回路。

【請求項9】 前記キャパシタは、MOSキャパシタであって、前記初段プリチャージ用トランジスタの入力端と前記最終段プリチャージ用トランジスタの出力端との間に接続されている、

ことを特徴とする請求項1乃至8のいずれか一項に記載の昇圧回路。

【請求項10】 非昇圧期間の昇圧制御信号に応じて、前記駆動用Nchトランジスタを活性化すると共に、当該駆動用Pchトランジスタを不活性化することに依り、前記充電クランプ手段における前記初段プリチャージ用トランジスタ乃至前記最終段プリチャージ用トランジスタを活性化すると共に、前記MOSキャパシタの電位を電源電位にプリチャージして昇圧出力信号を生成する、

ことを特徴とする請求項1乃至9のいずれか一項に記載の昇圧回路の昇圧制御方法。

【請求項11】 昇圧期間の昇圧制御信号に応じて、前記前記駆動用Nchトランジスタを不活性化すると共に、前記駆動用Pchトランジスタを活性化して前記初段プリチャージ用トランジスタを不活性化した後に、前記MOSキャパシタの容量結合を用いて前記初段プリチャージ用トランジスタを除く全ての前記初段プリチャージ用トランジスタを活性化し、前記ブートストラップ電位に当該MOSキャパシタの電位をクランプして昇圧出力信号を生成する、

ことを特徴とする請求項10に記載の昇圧制御方法。

【請求項12】 メモリ素子への非書き込みに応じた非昇圧期間に、当該非書き込みに応じたクロック信号として前記昇圧制御信号を用い、前記駆動用Nchトランジスタを活性化すると共に、当該駆動手段の駆動用Pchトランジスタを不活性化することに依り、前記初段プリチャージ用Pchトランジスタ乃至前記最終段プリチャージ用Pchトランジスタを活性化すると共に、前記MOSキャパシタの電位を電源電位にプリチャージし、前記昇圧出力信号を生成して当該メモリ素子のワード線に供給する、

ことを特徴とする請求項11に記載の昇圧制御方法。

【請求項13】 メモリ素子への書き込みに応じた昇圧期間に、当該書き込みに応じたクロック信号として前記

昇圧制御信号を用い、前記駆動用Nchトランジスタを不活性化すると共に、前記駆動用Pchトランジスタを活性化し、前記MOSキャパシタの容量結合を用いて前記プリチャージ用トランジスタを活性化し、前記ブートストラップ電位に当該MOSキャパシタの電位をクランプし、前記昇圧出力信号を生成して当該メモリ素子のワード線に供給する、

ことを特徴とする請求項12に記載の昇圧制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、回路網内のノードの電位を電源電位以上のブートストラップ電位に昇圧するための昇圧回路に関する。

【0002】具体的には、メモリ素子等の集積回路の書き込み時に、回路網内のワード線の電位を電源電位の数倍の電位であるブートストラップ電位に昇圧するための昇圧回路に関する。

【0003】

【従来の技術】一般に、昇圧回路は、与えられた電源電位レベルを超える昇圧電圧を発生するため、半導体集積回路における様々な回路において用いられる。

【0004】例えば、DRAMやSRAM等の半導体メモリにおいて、選択されたワード線を電源電位を超える高いレベルに昇圧させるために用いられる。

【0005】図4は、第1従来例の昇圧回路を説明するための回路図である。

【0006】第1従来例の昇圧回路Aは、図4に示すように、電源電位Vccと昇圧ノードPとの間に接続されたNMOSTランジスタQ1と、昇圧ノードPに接続された昇圧のためのMOSキャパシタ3とを含んで構成されていた。

【0007】動作において、昇圧ノードPは、昇圧前、電源電位Vcc-しきい値電圧Vth1の電位にプリチャージされる。また昇圧時、昇圧のタイミングを与えるクロック信号CKが接地電位から電源電位Vccまで上昇すると、MOSキャパシタ（静電容量C0）3の容量結合により、昇圧ノードPの電位が昇圧される。

【0008】このような昇圧回路Aは、半導体集積回路の高速化の為に、RAMやEEPROM等のメモリデバイスのワード線等を電源電位以上に昇圧させるために用いられることが多い。

【0009】図5は、第2従来例の昇圧回路を説明するための回路図である。

【0010】また、第2従来例の昇圧回路としては、特開平6-187788号公報（発明の名称：昇圧回路、出願日：1992年12月17日）に開示されているものがある。

【0011】図5に示すように、昇圧回路Bは、電源電位Vccと昇圧ノード2との間に接続されたPMOSTラ

ンジスタQ2のバックゲート電極がPMOSTランジスタQ3とMOSキャパシタ（静電容量C0）3と接続されて構成されていた。

【0012】このような昇圧回路Bでは、昇圧前の期間において、昇圧ノード2は電源電位Vccレベルにプリチャージされる。従って、MOSキャパシタ3による昇圧条件が緩和され、与えられた電源電位Vccのレベルが低くなっても、正常な昇圧動作が実行できるといった効果を奏することが開示されている。

10 【0013】

【発明が解決しようとする課題】しかしながら、このような第1従来例の昇圧回路Aでは、正常に動作する為に、プリチャージ動作時の昇圧ノードPの電位がMOSキャパシタ3のしきい値電圧Vth1よりも大きい必要があるが、回路の微細化や消費電力の低減化の技術的要求に応じて、電源電位Vccは低下する傾向にあり、1.5～2.0Vでの使用も要求されている。

【0014】このため、昇圧回路Aでは、プリチャージ動作時に昇圧ノードPの電位をMOSキャパシタ3のしきい値電圧Vth1以上にすることが難しいという技術的課題があった。

【0015】また、電池駆動を行うような装置内で昇圧回路Aを用いる場合、電源電位Vccの保証値が1.5～3.6Vと幅広いため、電源電位Vccの低電圧側をターゲットとして設計した場合、電源電位Vccの高電圧側で過昇圧状態が生じてしまう可能性があり、その結果、デバイス破壊を招く可能性があるという技術的課題もあった。である。

【0016】また、第2従来例の昇圧回路Bでは、プリチャージ動作時にPchトランジスタQ2を用いているので、プリチャージ時に昇圧ノード2の電位を電源電位Vccに保つことができる。昇圧時、PchトランジスタQ2は非導通になって昇圧ノード2は昇圧されるが、クランプ回路を用いていない為、過昇圧が起こる可能性があり、その結果、第1従来例と同様に、デバイス破壊を招く可能性があるという技術的課題があった。

【0017】本発明は、このような従来の問題点を解決することを課題としており、特に、回路網内のノードの電位を電源電位以上のブートストラップ電位に昇圧するための昇圧回路において、電源とノードの間に直列に接続された複数段のプリチャージ用トランジスタを有し、昇圧期間に、プリチャージ用トランジスタに所定の電位を入力し、プリチャージ用トランジスタの各々のしきい値電圧と電源電位との和で決定されるブートストラップ電位に最終段のプリチャージ用トランジスタに接続されたキャパシタの電位をクランプし、また、非昇圧期間に、全てのプリチャージ用トランジスタを活性化してキャパシタの電位を電源電位にプリチャージするように構成されている充電クランプ手段を設けることに依り、非昇圧期間のプリチャージ動作中にMOSキャパシタに電

源電位を供給することを可能とし、その結果、低電圧においても十分な昇圧を可能とし、更に、高電圧での昇圧期間中においても過昇圧に起因するデバイスの破壊を防ぐことができる昇圧回路及びその昇圧制御方法を実現することを課題としている。

【0018】

【課題を解決するための手段】請求項1に記載の発明は、回路網内のノードPの電位を電源電位 V_{cc} 以上のブートストラップ電位に昇圧するための昇圧回路において、非昇圧期間に、前記ノードPに接続されたキャパシタQ3の電位を電源の電源電位 V_{cc} にプリチャージすると共に、昇圧期間に、前記キャパシタ電位を昇圧すると共に、当該キャパシタ電位が前記ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2) + \dots + V_{th}(trn)]$ に達した際に当該キャパシタ電位をクランプして前記ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2) + \dots + V_{th}(trn)]$ に保持して過昇圧を防止する充電クランプ手段20を有する、ことを特徴とする昇圧回路10である。

【0019】請求項1に記載の発明に依れば、この様なプリチャージ機能を設けることに依り、非昇圧期間のプリチャージ動作中にキャパシタQ3に電源電位 V_{cc} を供給することができるようになる結果、プリチャージ動作時のノードPの電位を電源電位 V_{cc} に保持できるようになるといった効果を奏する。

【0020】また、この様なクランプ機能を設けることに依り、高電圧での昇圧期間中においても、過昇圧に起因するデバイスの破壊を防ぐことができるようになるという効果を奏する。

【0021】請求項2に記載の発明は、請求項1記載の昇圧回路10において、前記充電クランプ手段20は、電源と前記ノードPの間に直列に接続された複数段のプリチャージ用トランジスタ $Tr1, \dots, Trn$ を有し、前記昇圧期間に、プリチャージ用トランジスタに所定の電位を入力し、プリチャージ用トランジスタ $Tr2, \dots, Trn$ の各々を活性化し、当該初段プリチャージ用トランジスタ $Tr1$ を除くプリチャージ用トランジスタ $Tr2, \dots, Trn$ の各々のしきい値電圧 $V_{th}(V_{th}(tr2), \dots, V_{th}(trn))$ と前記電源電位 V_{cc} との和で決定される前記ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2) + \dots + V_{th}(trn)]$ に最終段のプリチャージ用トランジスタ Trn に接続された前記キャパシタQ3の電位をクランプするように構成されている、ことを特徴とする昇圧回路10である。

【0022】請求項2に記載の発明に依れば、請求項1に記載の効果に加えて、この様なクランプ機能を充電クランプ手段20に設けることに依り、高電圧での昇圧期間中においても、過昇圧に起因するデバイスの破壊を防ぐことができるようになるという効果を奏する。

【0023】その結果、例えば、電源電位 V_{cc} の保証値

が1.5~3.6Vと幅広いような電池駆動を行うような装置内で昇圧回路10を用いて電源電位 V_{cc} の低電圧側をターゲットとして設計するような場合であっても、電源電位 V_{cc} の高電圧側での過昇圧状態の発生を回避できるようになり、このような過昇圧状態に起因するデバイス破壊を回避できるようになるといった効果を奏する。

【0024】請求項3に記載の発明は、請求項2記載の昇圧回路10において、前記充電クランプ手段20は、前記非昇圧期間に、全てのプリチャージ用トランジスタ $Tr1, \dots, Trn$ を活性化して前記キャパシタQ3の電位を電源電位 V_{cc} にプリチャージするように構成されている、ことを特徴とする昇圧回路10である。

【0025】請求項3に記載の発明に依れば、請求項2に記載の効果に加えて、この様なプリチャージ機能を充電クランプ手段20に設けることに依り、非昇圧期間のプリチャージ動作中にキャパシタQ3に電源電位 V_{cc} を供給することができるようになる結果、プリチャージ動作時のノードPの電位をキャパシタQ3のしきい値電圧 V_{th} よりも大きい電位（則ち、ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2) + \dots + V_{th}(trn)]$ ）に保持できるようになるといった効果を奏する。

【0026】例えば、回路の微細化や消費電力の低減化の技術的要求に応じて、1.5~2.0V程度の低い電源電位 V_{cc} を使用する場合であっても、十分な昇圧動作ができるようになるという効果を奏する。

【0027】請求項4に記載の発明は、請求項3記載の昇圧回路10において、前記プリチャージ用トランジスタ $Tr1, \dots, Trn$ はPchトランジスタであって、前記充電クランプ手段20は、前記昇圧期間に、プリチャージ用トランジスタ $Tr1, \dots, Trn$ に所定の電位を入力し、プリチャージ用Pchトランジスタ $Tr1, \dots, Trn$ の各々のしきい値電圧 $V_{th}(V_{th}(tr2), \dots, V_{th}(trn))$ と前記電源電位 V_{cc} との和で決定される前記ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2) + \dots + V_{th}(trn)]$ に最終段のプリチャージ用Pchトランジスタ Trn に接続された前記キャパシタQ3の電位をクランプするように構成されている、ことを特徴とする昇圧回路10である。

【0028】請求項4に記載の発明に依れば、請求項3に記載の効果に加えて、この様なPchトランジスタを用いて、最終段のプリチャージ用Pchトランジスタ Trn に接続されたキャパシタQ3の電位をブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2) + \dots + V_{th}(trn)]$ にクランプする機能を設けることに依り、高電圧での昇圧期間中においても、過昇圧に起因するデバイスの破壊を防ぐことができるようになるという効果を奏する。

【0029】請求項5に記載の発明は、請求項4記載の昇圧回路10において、前記充電クランプ手段20は、

前記非昇圧期間に、全てのプリチャージ用PchトランジスタTr1, ..., Trnを活性化して前記キャパシタQ3の電位を電源電位Vccにプリチャージするように構成されている、ことを特徴とする昇圧回路10である。

【0030】請求項5に記載の発明に依れば、請求項3に記載の効果に加えて、この様なプリチャージ用PchトランジスタTr1, ..., Trnを充電クランプ手段20に設けることに依り、非昇圧期間のプリチャージ動作中にキャパシタQ3に電源電位Vccを供給することができるようになるといった効果を奏する。

【0031】例えば、回路の微細化や消費電力の低減化の技術的要求に応じて、1.5〜2.0V程度の低い電源電位Vccを使用する場合であっても、電源電位VccをキャパシタQ3に供給して十分な昇圧動作ができるようになるといった効果を奏する。

【0032】請求項6に記載の発明は、請求項5記載の昇圧回路10において、前記充電クランプ手段20は、前記昇圧期間に、前記プリチャージ用トランジスタTr1, ..., Trnに所定の電位を入力し、プリチャージ用PchトランジスタTr1, ..., Trnの各々のゲートに所定の電位を各々入力して活性化し、前記ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2) + \dots + V_{th}(trn)]$ に前記キャパシタQ3の電位をクランプするように構成されている、ことを特徴とする昇圧回路10である。

【0033】請求項6に記載の発明に依れば、請求項5に記載の効果に加えて、この様なプリチャージ用PchトランジスタTr1, ..., Trnを充電クランプ手段20に設けることに依り、電源電位Vccの高電圧側での過昇圧状態の発生を回避できるようになり、このような過昇圧状態に起因するデバイス破壊を回避できるようになるといった効果を奏する。

【0034】請求項7に記載の発明は、請求項6記載の昇圧回路10において、前記充電クランプ手段20は、前記非昇圧期間に、全てのプリチャージ用PchトランジスタTr1, ..., Trnのゲートに所定の電位を入力して活性化して前記キャパシタQ3の電位を電源電位Vccにプリチャージするように構成されている、ことを特徴とする昇圧回路10である。

【0035】請求項7に記載の発明に依れば、請求項6に記載の効果と同様の効果を奏する。

【0036】請求項8に記載の発明は、請求項1乃至7のいずれか一項に記載の昇圧回路10において、上記最終段プリチャージ用トランジスタTrnと接地電位GNDとの間に直列接続された駆動用PchトランジスタQ1及び駆動用NchトランジスタQ2を有し、当該駆動用PchトランジスタQ1と当該駆動用NchトランジスタQ2との接続点が当該最終段プリチャージ用トランジスタTrnのゲートに接続されて成る駆動手段30を有する、ことを特徴とする昇圧回路10である。

【0037】請求項8に記載の発明に依れば、請求項1乃至7のいずれか一項に記載の効果に加えて、この様な駆動手段30を設けることに依り、簡便な回路構成で、充電クランプ手段20のプリチャージ動作やクランプ動作の制御が実行できるようになると共に、回路規模を縮小できる低コストの昇圧回路10を実現できるといった効果を奏する。

【0038】請求項9に記載の発明は、請求項1乃至8のいずれか一項に記載の昇圧回路10において、前記キャパシタQ3は、MOSキャパシタQ3であって、前記初段プリチャージ用トランジスタTr1の入力端と前記最終段プリチャージ用トランジスタTrnの出力端との間に接続されている、ことを特徴とする昇圧回路10である。

【0039】請求項9に記載の発明に依れば、請求項1乃至8のいずれか一項に記載の効果に加えて、集積回路に適したMOSキャパシタQ3を用いることに依り、前述のプリチャージ機能を用いて、非昇圧期間のプリチャージ動作中にMOSキャパシタQ3に電源電位を供給することが、簡便且つコンパクトな回路規模で実現できるようになるといった効果を奏する。

【0040】請求項10に記載の発明は、請求項1乃至9のいずれか一項に記載の昇圧回路10において、非昇圧期間の昇圧制御信号V(CKB)に応じて、前記駆動用NchトランジスタQ2を活性化すると共に、当該駆動用PchトランジスタQ1を不活性化することに依り、前記充電クランプ手段20における前記初段プリチャージ用トランジスタTr1乃至前記最終段プリチャージ用トランジスタTrnを活性化すると共に、前記MOSキャパシタQ3の電位を電源電位Vccにプリチャージして昇圧出力信号13を生成する、ことを特徴とする昇圧回路10の昇圧制御方法である。

【0041】請求項10に記載の発明に依れば、請求項1乃至9のいずれか一項に記載の効果と同様の効果を奏する。

【0042】請求項11に記載の発明は、請求項10に記載の昇圧制御方法において、昇圧期間の昇圧制御信号V(CKB)に応じて、前記前記駆動用NchトランジスタQ2を不活性化すると共に、前記駆動用PchトランジスタQ1を活性化して前記初段プリチャージ用トランジスタTr1を不活性化した後に、前記MOSキャパシタQ3の容量結合を用いて前記初段プリチャージ用トランジスタTr1を除く全ての前記初段プリチャージ用トランジスタTr1を活性化し、前記ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2) + \dots + V_{th}(trn)]$ に当該MOSキャパシタQ3の電位をクランプして昇圧出力信号13を生成する、ことを特徴とする昇圧制御方法である。

【0043】請求項11に記載の発明に依れば、請求項10に記載の効果と同様の効果を奏する。

【0044】請求項12に記載の発明は、請求項11に記載の昇圧制御方法において、メモリ素子への非書き込みに応じた非昇圧期間に、当該非書き込みに応じたクロック信号として前記昇圧制御信号V(CKB)を用い、前記駆動用NchトランジスタQ2を活性化すると共に、当該駆動手段30の駆動用PchトランジスタQ1を不活性化することに依り、前記初段プリチャージ用PchトランジスタTr1乃至前記最終段プリチャージ用PchトランジスタTrnを活性化すると共に、前記MOSキャパシタQ3の電位を電源電位Vccにプリチャージし、前記昇圧出力信号13を生成して当該メモリ素子のワード線に供給する、ことを特徴とする昇圧制御方法である。

【0045】請求項12に記載の発明に依れば、請求項11に記載の効果と同様の効果を奏する。

【0046】請求項13に記載の発明は、請求項12に記載の昇圧制御方法において、メモリ素子への書き込みに応じた昇圧期間に、当該書き込みに応じたクロック信号として前記昇圧制御信号V(CKB)を用い、前記駆動用NchトランジスタQ2を不活性化すると共に、前記駆動用PchトランジスタQ1を活性化すると共に、前記MOSキャパシタQ3の容量結合を用いて全ての前記初段プリチャージ用トランジスタTr1, ..., Trnを活性化し、前記ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2) + \dots + V_{th}(trn)]$ に当該MOSキャパシタQ3の電位をクランプし、前記昇圧出力信号13を生成して当該メモリ素子のワード線に供給する、ことを特徴とする昇圧制御方法である。

【0047】請求項13に記載の発明に依れば、請求項12に記載の効果と同様の効果を奏する。

【0048】

【発明の実施の形態】以下、図面に基づき本発明の実施形態を説明する。

【0049】以下に開示する第1実施形態及び第2実施形態の昇圧回路10はいずれかも、与えられた電源電位レベル（則ち、電源電位Vcc）を越える昇圧電圧（単位は[V]）を発生するため、ICやLSI等の半導体集積回路内の回路網において用いられるものである。

【0050】例えば、DRAM(Dynamic RAMの略称)やSRAM(Static RAMの略称)等の半導体メモリ素子において、メモリ内部における書き込み等の動作に、電源電位よりも高い電圧が必要になることがある。例えば、DRAMや高速のSRAMでは、トランスファークゲートのしきい値電圧による電圧降下や速度の低下を防ぐために、ワード線の論理値Hのレベルを電源電位Vccよりもしきい値電圧の2倍以上高い電圧に昇圧（これをブートストラップという）する必要がある。また、EPROMやEEPROMでは、プログラム動作時に、電源電位よりも高い電圧が必要になる。

【0051】そこで、昇圧回路10は、選択されたワー

ド線を電源電位Vccを越える高い電圧レベル（電源電位Vccの数倍の電圧レベル、則ち、ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2)]$ ）に昇圧させるために用いられる回路手段である。

【0052】続いて、第1実施形態を説明する。

【0053】図1は、昇圧回路10の第1実施形態の基本構成を説明するための回路図である。

【0054】昇圧回路10は、図1に示すように、充電クランプ手段20と駆動回路30とMOSキャパシタQ3とを有している。

【0055】MOSキャパシタQ3は、MOSキャパシタであって、初段プリチャージ用PchトランジスタTr1の入力端であるゲートと最終段プリチャージ用PchトランジスタTrnの出力端であるドレインとの間に接続されている。

【0056】この様に、集積回路に適したMOSキャパシタQ3を用いることに依り、前述のプリチャージ機能を用いて、非昇圧期間のプリチャージ動作中にMOSキャパシタQ3に電源電位を供給することが、簡便且つコンパクトな回路規模で実現できるようになるといった効果を奏する。

【0057】充電クランプ手段20は、電源と昇圧ノードPの間に直列に接続された複数段のプリチャージ用PchトランジスタTr1, ..., Trnを有している。そこで、本実施形態では、プリチャージ用PchトランジスタTr1, Tr2が電源と昇圧ノードPの間に直列に接続されたケースについて述べる。

【0058】充電クランプ手段20は、非昇圧期間に、昇圧ノードP（具体的には、ワード線に接続されたノード）に接続されたMOSキャパシタQ3の電位を電源の電源電位Vccにプリチャージする機能（以降、プリチャージと略す）を有する。

【0059】具体的には、充電クランプ手段20は、非昇圧期間に、全てのプリチャージ用PchトランジスタTr1, Tr2を活性化してMOSキャパシタQ3の電位を電源電位Vccにプリチャージする機能を有する。

【0060】この様なプリチャージ機能を充電クランプ手段20に設けることに依り、非昇圧期間のプリチャージ動作中にMOSキャパシタQ3に電源電位Vccを供給することができるようになる結果、プリチャージ動作時の昇圧ノードPの電位をVccに保持できるようになるといった効果を奏する。

【0061】例えば、回路の微細化や消費電力の低減化の技術的要求に応じて、1.5～2.0V程度の低い電源電位Vccを使用する場合であっても、十分な昇圧動作ができるようになるといった効果を奏する。

【0062】充電クランプ手段20は、昇圧期間に、MOSキャパシタQ3を昇圧すると共に、MOSキャパシタQ3のゲートがブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2)]$ に達した際にMOSキャパシタQ3をクランプ

してブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2)]$ に保持して過昇圧を防止する機能（以降、クランプ機能と略す）を有する。

【0063】具体的には、充電クランプ手段20は、昇圧期間に、電源に接続された初段プリチャージ用PchトランジスタTr1を不活性化する機能を有し、更に、初段プリチャージ用PchトランジスタTr1を除くプリチャージ用PchトランジスタTr2, ..., Trnの各々を活性化し、初段プリチャージ用PchトランジスタTr1を除くプリチャージ用PchトランジスタTr2, ..., Trnの各々のしきい値電圧 $V_{th}(V_{th}(tr2), \dots, V_{th}(trn))$ と電源電位 V_{cc} との和で決定されるブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2)]$ に最終段のプリチャージ用PchトランジスタTrnに接続されたMOSキャパシタQ3の電位をクランプする機能を有する。

【0064】このとき、昇圧のタイミングを与える昇圧制御信号V(CKB)（則ち、メモリ素子への書き込みのタイミング信号であるクロック信号CK）が昇圧回路10の入力端子から与えられると、MOSキャパシタQ3（静電容量C0）の容量結合により、昇圧ノードPの電位が昇圧される。

【0065】このようなクランプ機能を充電クランプ手段20に設けることに依り、高電圧での昇圧期間中においても、過昇圧に起因するデバイスの破壊を防ぐことができるようになるといった効果を奏する。

【0066】その結果、例えば、電源電位 V_{cc} の保証値が1.5〜3.6Vと幅広いような電池駆動を行うような装置内で昇圧回路10を用いて電源電位 V_{cc} の低電圧側をターゲットとして設計するような場合であっても、電源電位 V_{cc} の高電圧側での過昇圧状態の発生を回避できるようになり、このような過昇圧状態に起因するデバイス破壊を回避できるようになるといった効果を奏する。

【0067】以上説明したように、このような機能を有する充電クランプ手段20を設けることに依り、非昇圧期間のプリチャージ動作中にMOSキャパシタQ3に電源電位 V_{cc} を供給することができるようになる結果、プリチャージ動作時の昇圧ノードPの電位をMOSキャパシタQ3のしきい値電圧 V_{th} よりも大きい電位に保持できるようになるといった効果を奏する。

【0068】また、このようなクランプ機能を設けることに依り、高電圧での昇圧期間中においても、過昇圧に起因するデバイスの破壊を防ぐことができるようになるといった効果を奏する。

【0069】一方、駆動手段30は、図1に示すように、上記最終段プリチャージ用PchトランジスタTrnと接地電位GNDとの間に直列接続された駆動用PchトランジスタQ1及び駆動用NchトランジスタQ2を有し、駆動用PchトランジスタQ1と駆動用Nchト

ランジスタQ2との接続点が最終段プリチャージ用PchトランジスタTrnのゲートに接続されて構成されている。

【0070】このような駆動手段30を設けることに依り、簡便な回路構成で、充電クランプ手段20のプリチャージ動作やクランプ動作の制御が実行できるようになると共に、回路規模を縮小できる低コストの昇圧回路10を実現できるといった効果を奏する。

【0071】昇圧制御方法を説明する。

【0072】図2は、図1の昇圧回路10に用いられる昇圧制御方法を説明するためのタイミングチャートである。

【0073】本昇圧制御方法は、非昇圧期間の昇圧制御信号V(CKB)に応じて、駆動用NchトランジスタQ2を活性化すると共に、駆動用PchトランジスタQ1を不活性化することに依り、充電クランプ手段20における初段プリチャージ用PchトランジスタTr1乃至最終段プリチャージ用PchトランジスタTrnを活性化すると共に、MOSキャパシタQ3の電位を電源電位 V_{cc} にプリチャージして昇圧出力信号13を生成する工程を有している。

【0074】更に、昇圧期間の昇圧制御信号V(CKB)に応じて、駆動用NchトランジスタQ2を不活性化すると共に、駆動用PchトランジスタQ1を活性化すると共に、MOSキャパシタQ3の容量結合を用いて全てのプリチャージ用PchトランジスタTr1, ..., Trnを活性化し、ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2)]$ にMOSキャパシタQ3の電位をクランプして昇圧出力信号13を生成する工程を有している。

【0075】更に詳しく、昇圧制御方法、及びこの方法が用いられたときの昇圧回路10の基本動作を説明する。

【0076】まず、非昇圧期間においては、図2に示すように、昇圧制御信号V(CKB)は論理値H（＝電源電位 V_{cc} ）であり、論理素子NOT32を用いた昇圧制御信号V(CKB)の反転信号であるV(ck)は、図2に示すように、論理値L（接地電位GND）になる。

【0077】充電クランプ手段20において、プリチャージ用PchトランジスタTr2のゲートに接続されたノードの電圧値であるV(3)は、図2に示すように、駆動用NchトランジスタQ2が活性化され、駆動用PchトランジスタQ1が不活性化されることにより、論理値Lになる。

【0078】これにより、初段プリチャージ用PchトランジスタTr1と最終段プリチャージ用PchトランジスタTr2のゲートは、図2に示すように、接地電位GNDとなり、それぞれ活性化され、昇圧出力信号13の電圧値V(0)の電位は、電源電位 V_{cc} となる。これがプリチャージ状態である。

【0079】昇圧期間においては、図2に示すように、

昇圧制御信号V(CKB)が論理値Lに換わり、昇圧制御信号V(CKB)の反転信号V(ck)が論理値Hになる。

【0080】充電クランプ手段20の初段プリチャージ用PchトランジスタTr1のゲートには電源電位Vccが入力され、不活性化される。

【0081】このとき、駆動手段30における駆動用NchトランジスタQ2が不活性化され、同時に、駆動用PchトランジスタQ1が活性化されるので、図2に示すように、プリチャージ用PchトランジスタTr2のゲート電位V(3)も電源電位Vccになり、最終段プリチャージ用PchトランジスタTr2が不活性化される。

【0082】但し、これは一瞬の状態、充電クランプ手段20のMOSキャパシタQ3に昇圧制御信号V(CKB)の反転信号V(ck)が入力されることにより、MOSキャパシタQ3において容量結合が起こり、図2に示すように、昇圧出力信号13の電圧値V(0)の電位が上昇してその値が電源電位Vcc+最終段プリチャージ用PchトランジスタTr2のしきい値電圧Vth(tr2)以上になった時、最終段プリチャージ用PchトランジスタTr2が活性化され、その結果、最終段プリチャージ用PchトランジスタTr2のソースに接続されたノード（又はプリチャージ用PchトランジスタTr1のドレインに接続されたノード）における電位V(2)が上昇し始める。

【0083】この時、充電クランプ手段20の最終段プリチャージ用PchトランジスタTr2のソースに接続されたノード（又はプリチャージ用PchトランジスタTr1のドレインに接続されたノード）におけるV(2)は、 $V(2) = [\text{昇圧出力信号13の電圧値}V(0) - \text{最終段プリチャージ用PchトランジスタTr2のしきい値電圧}V_{th}(tr2)]$ の関係が成り立つ（関係式1）。

【0084】このため、充電クランプ手段20の最終段プリチャージ用PchトランジスタTr2のソースに接続されたノード（又はプリチャージ用PchトランジスタTr1のドレインに接続されたノード）におけるV(2)の昇圧動作は、図2に示すように、初段プリチャージ用PchトランジスタTr1により、 $V(2) \leq \text{電源電位}V_{cc} + \text{初段プリチャージ用PchトランジスタTr1のしきい値電圧}V_{th}(tr1)$ （関係式2）までで停止する。

【0085】関係式1及び関係式2を用いて、充電クランプ手段20の昇圧出力信号13の電圧値V(0)は、 $V(0) \leq \text{電源電位}V_{cc} + \text{初段プリチャージ用PchトランジスタTr1のしきい値電圧}V_{th}(tr1) + \text{最終段プリチャージ用PchトランジスタTr2のしきい値電圧}V_{th}(tr2)$ という関係が成り立つ。

【0086】則ち、充電クランプ手段20における昇圧出力信号13の電圧値V(0)は、図2に示すように、非昇圧期間に、電源電位Vccにプリチャージされ、昇圧期間に、最大でも $V_{cc} + V_{th}(tr1) + V_{th}(tr2)$ までしか上昇しないことになる。

【0087】例えば、メモリ素子への書き込みを例に取

ると、メモリ素子への非書き込みに応じた非昇圧期間に、非書き込みに応じたクロック信号として昇圧制御信号V(CKB)を用い、駆動用NchトランジスタQ2を活性化すると共に、駆動手段30の駆動用PchトランジスタQ1を不活性化することに依り、初段プリチャージ用PchトランジスタTr1乃至最終段プリチャージ用PchトランジスタTrnを活性化すると共に、MOSキャパシタQ3の電位を電源電位Vccにプリチャージし、昇圧出力信号13を生成してメモリ素子のワード線に供給することができる。

【0088】また、メモリ素子への書き込みに応じた昇圧期間に、書き込みに応じたクロック信号として昇圧制御信号V(CKB)を用い、駆動用NchトランジスタQ2を不活性化すると共に、駆動用PchトランジスタQ1を活性化して初段プリチャージ用PchトランジスタTr1を不活性化した後に、MOSキャパシタQ3の容量結合を用いて初段プリチャージ用PchトランジスタTr1を除く全ての初段プリチャージ用PchトランジスタTr1を活性化し、ブートストラップ電位 $[V_{cc} + V_{th}(tr1) + V_{th}(tr2)]$ にMOSキャパシタQ3の電位をクランプし、昇圧出力信号13を生成してメモリ素子のワード線に供給することもできる。

【0089】次に、図面に基づき、昇圧回路10の第2実施形態を説明する。

【0090】図3は、昇圧回路10の第2実施形態を説明するための回路図である。発明の実施の形態を説明する。

【0091】なお、第1実施形態の昇圧回路10及びこれに用いられる昇圧制御方法において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。

【0092】第2実施形態の昇圧回路10は、第1実施形態と同様な回路構成で、プリチャージ用PchトランジスタTr3、Tr4、Tr5を、電源電位Vccと昇圧ノード間に、3段に直列接続した回路構成を有している。

【0093】プリチャージ用PchトランジスタTr3は、電源電位Vccとプリチャージ用PchトランジスタTr4との間に設けられ、そのゲートが、論理素子NOT32の出力端子に接続されている。

【0094】プリチャージ用PchトランジスタTr4には、活性化/不活性化を制御するためのスイッチ回路301がゲートに接続されている。

【0095】第1スイッチ回路301は、プリチャージ用PchトランジスタTr3のドレインの電位V(6)に応じて、プリチャージ用PchトランジスタTr4の活性化/不活性化を制御する論理回路であって、プリチャージ用PchトランジスタTr4のゲートとMOSキャパシタQ3との間にもいけられている。

【0096】同様に、プリチャージ用PchトランジスタTr5には、活性化/不活性化を制御するためのスイ

ッチ回路302がゲートに接続されている。

【0097】第2スイッチ回路302は、プリチャージ用PchトランジスタTr4のドレインの電位V(7)に応じて、プリチャージ用PchトランジスタTr5の活性化/不活性化を制御する論理回路であって、プリチャージ用PchトランジスタTr5のゲートとMOSキャパシタQ3との間にもいけられている。

【0098】この様な構成の昇圧回路10は、プリチャージ用PchトランジスタTr3、Tr4、Tr5に接続されたMOSキャパシタQ3を、クロック信号としての昇圧制御信号V(CKB)を用いて順次充電し、最終的に電源電位Vccの略整数倍の昇圧出力信号13を得る機能を有する。

【0099】具体的には、前述したクリップ機能により、昇圧期間に、第1スイッチ回路301の出力電位V(4)は、 $V(4) = \text{電源電位} V_{cc} + \text{プリチャージ用PchトランジスタTr4のしきい値電圧値} V_{th}(tr4)$ まで上昇し、第2スイッチ回路302の出力電位V(5)は、 $V(5) = \text{電源電位} V_{cc} + \text{プリチャージ用PchトランジスタTr4のしきい値電圧値} V_{th}(tr4) + \text{プリチャージ用PchトランジスタTr5のしきい値電圧値} V_{th}(tr5)$ までしか上昇しない。

【0100】このため、昇圧ノードPの電位V(0)は、 $V(0) = \text{電源電位} V_{cc} + \text{プリチャージ用PchトランジスタTr3のしきい値電圧値} V_{th}(tr3) + \text{プリチャージ用PchトランジスタTr4のしきい値電圧値} V_{th}(tr4) + \text{プリチャージ用PchトランジスタTr5のしきい値電圧値} V_{th}(tr5)$ までの上昇に制限されることになる。

【0101】このようにプリチャージ用PchトランジスタTr1、…、Trnを、電源電位Vcc-昇圧ノードP間に直列に接続することによって、昇圧電位の最大値のクリップ動作を実行することができるようになる。

【0102】

【発明の効果】請求項1に記載の発明に依れば、この様なプリチャージ機能を設けることに依り、非昇圧期間のプリチャージ動作中にキャパシタに電源電位を供給することができるようになる結果、プリチャージ動作時のノードの電位をキャパシタのしきい値電圧よりも大きい電位に保持できるようになるといった効果を奏する。

【0103】また、この様なクランプ機能を設けることに依り、高電圧での昇圧期間中においても、過昇圧に起因するデバイスの破壊を防ぐことができるようになるという効果を奏する。

【0104】請求項2に記載の発明に依れば、請求項1に記載の効果に加えて、この様なクランプ機能を充電クランプ手段に設けることに依り、高電圧での昇圧期間中においても、過昇圧に起因するデバイスの破壊を防ぐことができるようになるという効果を奏する。

【0105】その結果、例えば、電源電位の保証値が

1.5～3.6Vと幅広いような電池駆動を行うような装置内で昇圧回路を用いて電源電位の低電圧側をターゲットとして設計するような場合であっても、電源電位の高電圧側での過昇圧状態の発生を回避できるようになり、このような過昇圧状態に起因するデバイス破壊を回避できるようになるといった効果を奏する。

【0106】請求項3に記載の発明に依れば、請求項2に記載の効果に加えて、この様なプリチャージ機能を充電クランプ手段に設けることに依り、非昇圧期間のプリチャージ動作中にキャパシタに電源電位を供給することができるようになる結果、プリチャージ動作時のノードの電位を電源電位に保持できるようになるといった効果を奏する。

【0107】例えば、回路の微細化や消費電力の低減化の技術的要求に応じて、1.5～2.0V程度の低い電源電位を使用する場合であっても、十分な昇圧動作ができるようになるという効果を奏する。

【0108】請求項4に記載の発明に依れば、請求項3に記載の効果に加えて、この様なPchトランジスタを用いて、最終段のプリチャージ用Pchトランジスタに接続されたキャパシタの電位をブートストラップ電位にクランプする機能を設けることに依り、高電圧での昇圧期間中においても、過昇圧に起因するデバイスの破壊を防ぐことができるようになるという効果を奏する。

【0109】請求項5に記載の発明に依れば、請求項3に記載の効果に加えて、この様なプリチャージ用Pchトランジスタを充電クランプ手段に設けることに依り、非昇圧期間のプリチャージ動作中にキャパシタに電源電位を供給することができるようになるという効果を奏する。

【0110】例えば、回路の微細化や消費電力の低減化の技術的要求に応じて、1.5～2.0V程度の低い電源電位を使用する場合であっても、電源電位をキャパシタに供給して十分な昇圧動作ができるようになるという効果を奏する。

【0111】請求項5に記載の発明に依れば、請求項5に記載の効果に加えて、この様なプリチャージ用Pchトランジスタを充電クランプ手段に設けることに依り、電源電位の低電圧側での過昇圧状態の発生を回避できるようになり、このような過昇圧状態に起因するデバイス破壊を回避できるようになるといった効果を奏する。

【0112】請求項7に記載の発明に依れば、請求項6に記載の効果と同様の効果を奏する。

【0113】請求項8に記載の発明に依れば、請求項1乃至7のいずれか一項に記載の効果に加えて、この様な駆動手段を設けることに依り、簡便な回路構成で、充電クランプ手段のプリチャージ動作やクランプ動作の制御が実行できるようになると共に、回路規模を縮小できる低コストの昇圧回路を実現できるという効果を奏する。

【0114】請求項9に記載の発明に依れば、請求項1乃至8のいずれか一項に記載の効果に加えて、集積回路に適したMOSキャパシタを用いることに依り、前述のプリチャージ機能を用いて、非昇圧期間のプリチャージ動作中にMOSキャパシタに電源電位を供給することが、簡便且つコンパクトな回路規模で実現できるようになるといった効果を奏する。

【0115】請求項10に記載の発明に依れば、請求項1乃至10のいずれか一項に記載の効果と同様の効果を奏する。

【0116】請求項11に記載の発明に依れば、請求項10に記載の効果と同様の効果を奏する。

【0117】請求項12に記載の発明に依れば、請求項11に記載の効果と同様の効果を奏する。

【0118】請求項13に記載の発明に依れば、請求項12に記載の効果と同様の効果を奏する。

【図面の簡単な説明】

【図1】本発明の昇圧回路の第1実施形態を説明するための回路図である。

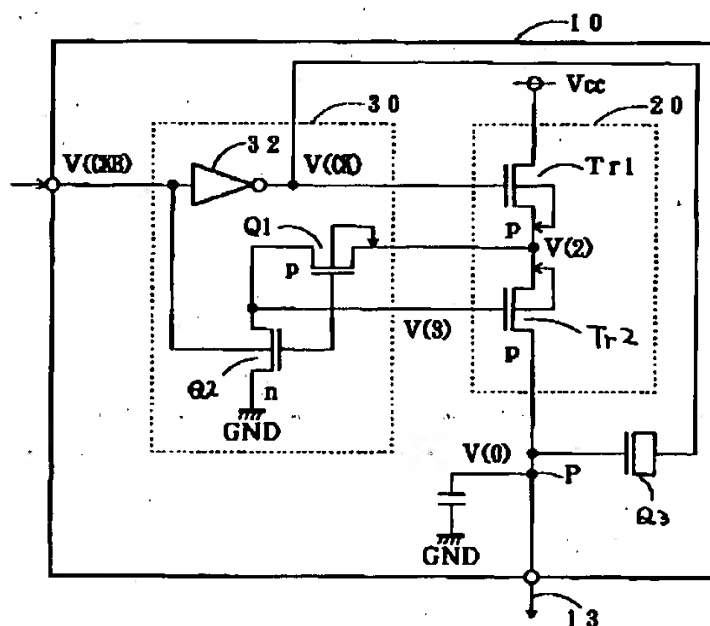
【図2】図1の昇圧回路の基本動作及び昇圧制御方法を説明するためのタイミングチャートである。

【図3】本発明の昇圧回路の第2実施形態を説明するための回路図である。

【図4】第1従来例の昇圧回路を説明するための回路図である。

【図5】第2従来例の昇圧回路を説明するための回路図

【図1】



である。

【符号の説明】

10 昇圧回路

13 昇圧出力信号

20 充電クランプ手段

30 駆動手段

GND 接地電位

P ノード (昇圧ノード)

Q1 駆動用Pchトランジスタ

10 Q2 駆動用Nchトランジスタ

Q3 キャパシタ (MOSキャパシタ)

Tr1, Tr2, Tr3, Tr4, Tr5, ..., Trn プリチャージ用トランジスタ

Tr1 初段プリチャージ用トランジスタ

Tr2, Tr8, Trn 最終段プリチャージ用トランジスタ

V(0) ノード (昇圧ノード) の電位

V(2) 初段プリチャージ用トランジスタのドレイン側電位

20 V(3) 最終段プリチャージ用トランジスタのゲート電位 (Q1のドレイン電位)

Vcc 電源電位

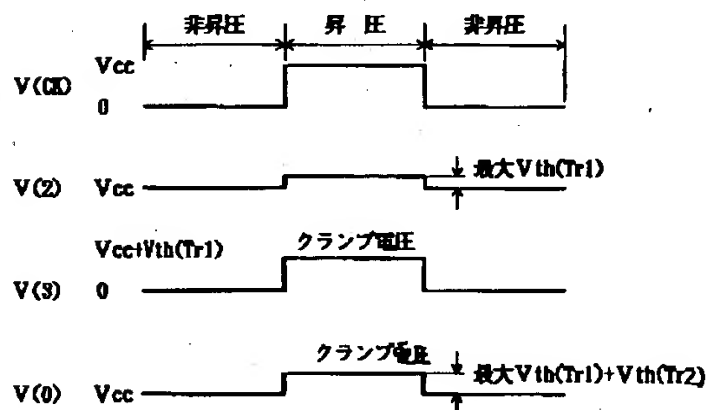
Vth, Vth(tr1), Vth(tr2) しきい値電圧

Vcc+Vth(tr1)+Vth(tr2) ブートストラップ電位

V(CK) 昇圧制御信号 (クロック信号) の反転信号

V(CKB) 昇圧制御信号 (クロック信号)

【図2】



【図4】

